

CLIPPEDIMAGE= JP363177610A

PAT-NO: JP363177610A

DOCUMENT-IDENTIFIER: JP 63177610 A

TITLE: PROGRAMMABLE DELAY CIRCUIT

PUBN-DATE: July 21, 1988

INVENTOR-INFORMATION:

NAME

TSUNEMOTO, TOSHIYUKI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP62008011

APPL-DATE: January 19, 1987

INT-CL (IPC): H03K005/13

ABSTRACT:

PURPOSE: To raise the generality of hardware of a delay unit by providing a multiplexer for selecting and outputting the output stage of a multistage delaying circuit by the output of a decoder for decoding a programmable input delay quantity data.

CONSTITUTION: An input signal 1 is delayed successively by a multistage delaying circuit consisting of delay elements 2 connected in a multistage, and also, a programmable delay quantity data 4 sent through a data bus is decoded by a decoder 3. As a result, by selecting the output of the delay element 2 at some stage of the multistage delaying circuit through a multiplexer consisting of AND and OR gates, an output signal 7 of the desired delay time is obtained. In such a way, to the hardware of the delaying circuit having the generality, an output signal of a prescribed delay quantity can be selected and outputted by the software.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-177610

⑤Int.Cl.⁴

H 03 K 5/13

識別記号

庁内整理番号

7259-5J

④公開 昭和63年(1988)7月21日

審査請求 未請求 発明の数 1 (全3頁)

④発明の名称 プログラマブル遅延回路

②特 願 昭62-8011

②出 願 昭62(1987)1月19日

⑦発 明 者 常 本 俊 幸 千葉県習志野市東習志野7丁目1番1号 株式会社日立製作所習志野工場内

⑦出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦代 理 人 弁理士 小川 勝男 外1名

明 細 書

〔従来の技術〕

1. 発明の名称

プログラマブル遅延回路

2. 特許請求の範囲

1. 入力信号を遅延する多段に接続された遅延素子からなる多段遅延回路と、プログラマブル入力遅延量データをデコードするデコーダと、該デコーダの出力により上記多段遅延回路の出力段を選択して所定遅延量の出力信号を出力するマルチプレクサとから成るプログラマブル遅延回路。

2. 上記プログラマブル遅延回路を多入力のIC構成にして成る特許請求の範囲第1項記載のプログラマブル遅延回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はLSIやICなどの電子回路におけるタイミングを取る遅延回路に係り、特に電子回路に応じたタイミング設計に好適なプログラマブル遅延回路に関する。

従来の電子回路の通常のタイミング設計では各LSIやICなどの電子回路ごとに個々に遅延回路を組んでタイミングをとる方法がとられている。しかしこの方法ではクロックを変化させた場合などに十分なタイミングマージンが取れない問題がある。

〔発明が解決しようとする問題点〕

上記従来技術ではLSIやICなどの電子回路ごとにタイミングをとる遅延回路を個々に設計していたため、たとえばDRAMを高速度のものから低速のものに変えたい場合などには、ハードウェアを設計変更しなければならないため汎用性を低下させる問題があった。

本発明の目的は多様なLSIやICなどの電子回路においてタイミングをとる遅延時間をソフトウェア処理によってプログラマブルに可変させることによりハードウェアの汎用性を高めうるプログラマブル遅延回路を提供するにある。

〔問題点を解決するための手段〕

上記目的は、入力信号を遅延する多段に接続された多段遅延回路と、プログラマブル入力遅延量データをデコードするデコーダと、そのデコーダの出力により上記多段遅延回路の出力段を選択して出力信号を出力するマルチプレクサとから成るプログラマブル遅延回路により達成される。

〔作用〕

上記プログラマブル遅延回路では、入力信号を多段に接続された遅延素子からなる多段遅延回路により順次遅延させるとともに、データバスを通して入力するプログラマブルに与えられた遅延量データをデコーダによりデコードして、そのデコーダの出力に応じた上記多段遅延回路の何段目かの出力をマルチプレクサにより選択して、目的とする所要遅延時間だけ遅延した出力信号をうることができる。

〔実施例〕

以下に本発明によるプログラマブル遅延回路の一実施例を示す基本回路図である。第1図において、1は入力信号、2は多段に接続された遅延素

子からなる遅延ユニット9は入力するDRAMの制御信号8をデータバスから送られるあらかじめ与えられた遅延データ4により適当なタイミングでDRAM10、11へ出力することにより、アクセスタイムの速いDRAM10およびアクセスタイムの遅いDRAM11を駆動することがソフトウェアによって可能となる。

第3図は本発明によるプログラマブル遅延回路のさらに他の実施例を示すブロック図である。第3図において、12はCPU、13は遅延データ、14は基本タイミング発生回路、15は第1図のプログラマブル遅延回路の基本回路からなる多入力のIC形成の遅延ユニット、16、17、18などは仕様の異なるLSI1、LSI2、LSI3などである。

第3図の構成のシステムで、CPU12は基本タイミング発生回路14を駆動することにより、多入力のIC形成の遅延ユニット15はその基本タイミングを記憶された遅延データ13にしたがい適当なタイミングでLSIの仕様に合わせてL

子、3はデータのデコーダ、4はデータバスを通した遅延量データ、5はデコーダセクタ、6はANDおよびORゲートからなるマルチプレクサ、7は出力信号である。

第1図の構成で、入力信号1は多段に接続された遅延素子2からなる多段遅延回路により順次に遅延されるとともに、データバスを通して送られるプログラマブルな遅延量データ4はデータのデコーダ3によりデコードされ、これによりANDおよびORゲートからなるマルチプレクサ6を通して上記多段遅延回路の何段目かの遅延素子2の出力を選択することにより、目的とする遅延時間の出力信号7がえられる。

第2図は本発明によるプログラマブル遅延回路の他の実施例を示すブロック図である。第2図において、8は制御信号、9は第1図のプログラマブル遅延回路の基本回路からなる遅延ユニット、10はアクセスタイムの速いDRAM1、11はアクセスタイムの遅いDRAM2である。

第2図の構成で、本プログラマブル遅延回路からSI16、LSI17、LSI18などに振り分けて出力する。

以上の実施例により、LSIなどに依存しない汎用性のある遅延回路のハードウェアを構成でき、使用するLSIなどが変更されてもソフトウェアによる遅延データの変更のみで対応できる。

〔発明の効果〕

本発明によれば、プログラマブル遅延回路からなる多入力のIC形成の遅延ユニットなどの1つのハードウェアで使用するLSIやICに応じて異なるタイミングをソフトウェアにより補正して供給できるので遅延ユニットのハードウェアの汎用性を高めることができる。

4. 図面の簡単な説明

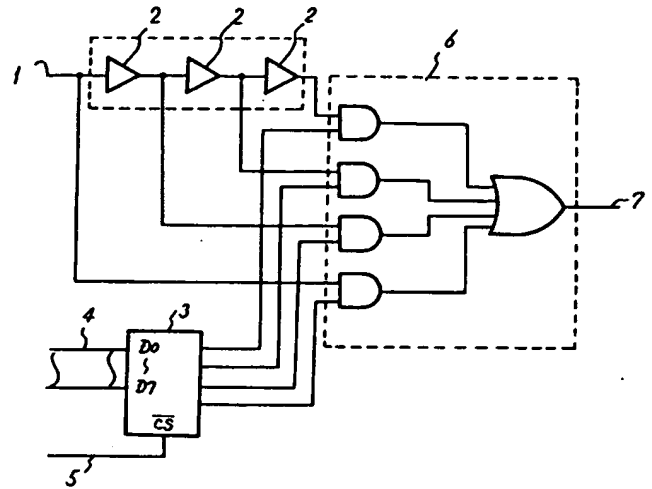
第1図は本発明によるプログラマブル遅延回路の一実施例を示す基本回路図、第2図は本発明による他の実施例を示すブロック図、第3図は本発明によるさらに他の実施例を示すブロック図である。

1…入力信号、2…遅延素子、3…デコーダ、

4…遅延量データ、5…データセクタ、6…マルチプレクサ、7…出力信号、8…制御信号、9…遅延ユニット、10、11…DRAM、12…CPU、13…遅延データ、14…基本タイミング発生回路、15…遅延ユニット、16、17、18…LSI。

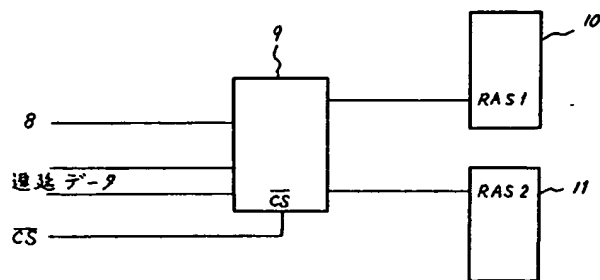
代理人弁理士 小川 勝 男

第 1 図



1: 入力信号 4: 遅延量データ 7: 出力信号
2: 遅延素子 5: デコーダセクタ
3: デコーダ 6: マルチプレクサ

第 2 図



8: 制御信号 11: DRAM 2
9: 遅延ユニット
10: DRAM 1

第 3 図

